

DISEÑO DE UN MEZCLADOR PARA APLICACIONES DE BAJO CONSUMO DE POTENCIA EN LA BANDA DE ZIGBEE

Victor García Gutiérrez
Edwin Christian Becerra Álvarez

Resumen

En este artículo se presenta el análisis y diseño de un mezclador de bajo consumo de potencia para un transceptor en la banda de Zigbee (2.4-2.48GHz), donde dicho mezclador se diseñó utilizando un proceso de fabricación CMOS IBM de 130nm, siendo $V_{DD}=1.2V$. Por otro lado, el circuito propuesto se basa en una topología doblemente balanceada de la celda de Gilbert, la cual consiste en un convertidor de voltaje a corriente (V-I), un bloque de interruptores de corriente y un convertidor de corriente a voltaje (I-V). Además, cabe señalar que el circuito se diseñó y simuló utilizando Cadence SpectreRF©, donde se obtuvo una respuesta de $IIP_3=4.7dBm$, $P_{DC}=1.1mW$, $NF=21.2dB$ y $Av=3dB$.

Palabra(s) Clave(s): CMOS, Mezclador, Bajo consumo, Gilbert, Zigbee.

INTRODUCCIÓN

En las últimas décadas es notorio el surgimiento de los sistemas de comunicación personal y de entretenimiento, y en muy alto porcentaje dichos sistemas son inalámbricos. Esas dos características, correlacionadas por necesidad dieron lugar a una creciente demanda en el ancho de banda de los canales de comunicación. Por otro lado, la tecnología CMOS se emplea cada vez más para aplicaciones de Radio Frecuencia (RF), ya que permite integrar sistemas electrónicos en un solo chip (SoC, del inglés *System on Chip*) que son capaces de procesar un número indefinido de protocolos de comunicación, teniendo en cuenta amplias bandas de frecuencias de operación, técnicas de acceso múltiple, número de canales, esquemas de modulación, tasas de transferencia de datos, condiciones de potencia de señal en relación con sus interferencias, nivel de batería, etc.

Todas estas demandas y requerimientos suponen un enorme reto para los diseñadores de Circuitos Integrados (CIs), y particularmente para los circuitos de RF. Por otro lado, uno de los circuitos de RF más críticos es el mezclador. El diseño de este bloque es especialmente difícil principalmente porque se encuentra entre la etapa de RF y de banda base en un transceptor (Chakib 2006), debiendo trasladar la señal de RF –con una frecuencia de varios GHz- a banda base –con una frecuencia de algunos MHz-, además dicho circuito debe cumplir con diversas características como son el ruido (NF, del inglés *Noise Figure*), distorsión (IIP_3 , del inglés *Third Input Intercept Point*), conversión de ganancia (Av) y consumo de potencia (P_{DC}).

Por otro lado, los requerimientos para el diseño de un mezclador son impuestos por el protocolo de comunicación para el cual se diseña. Por ejemplo, Zigbee es un estándar de comunicación inalámbrica que se utiliza para radiodifusión digital de bajo consumo, siendo uno de sus objetivos las aplicaciones que requieren comunicaciones seguras, las cuales tiene una baja tasa de envío de datos, además de que busca maximizar la vida útil de las baterías (Rua, 2014).

Tomando en cuenta los requerimientos para diseñar un mezclador, es posible utilizar diferentes topologías, como: retroalimentación, corriente espejo, alta ganancia, corriente espejo para UWB (Lai 2010, Mollalipour 2012, Cheng 2010, Salmeh 2012, Jouri 2010). Entre las cuales es importante destacar una topología basada en la celda de Gilbert (Shao, 2012), la cual esta doblemente balanceada como se ilustra en la Figura 1, donde dicho circuito utiliza un convertidor V-I el cual transforma un voltaje de entrada en una corriente proporcional –transistores M_{n1} y M_{n2} -, y de forma similar un convertidor I-V, cuyo funcionamiento se basa en transformar una corriente de entrada en un voltaje proporcional a dicha corriente –transistores M_{n3} y M_{n4} .

Además, es importante señalar que el mezclador de la Figura 1 tiene una señal de entrada diferencial del oscilador local –compuestas de los transistores M_{n3} y M_{n6} - y una señal de entrada diferencial de RF –compuestas de los transistores M_{n1} y M_{n2} - proveniente del amplificador de bajo ruido (LNA, del

inglés *Low Noise Amplifier*). En este contexto la salida ideal del mezclador de Gilbert no contiene la señal del oscilador local, es decir, tiene un alto aislamiento (Ho, 2010). Por otro lado, esta implementación del mezclador doblemente balanceado utiliza tres pares diferenciales, lo cual permite lograr una adecuada linealidad (Stanley, 2010).

En la siguiente sección se describirá la justificación del presente diseño y la propuesta para reducir el consumo de dicho bloque en un sistema de comunicaciones.

JUSTIFICACIÓN

En la actualidad las comunicaciones han experimentado un crecimiento global, lo cual ocasionó que importantes investigaciones se enfocaran en el estudio de la telefonía inalámbrica, telefonía fija, sistema de posicionamiento global (GPS, del inglés *System Global Position*), etc. Por lo tanto, la demanda para un dispositivo que pueda alargar el tiempo de vida de la batería y de bajo costo es de suma importancia.

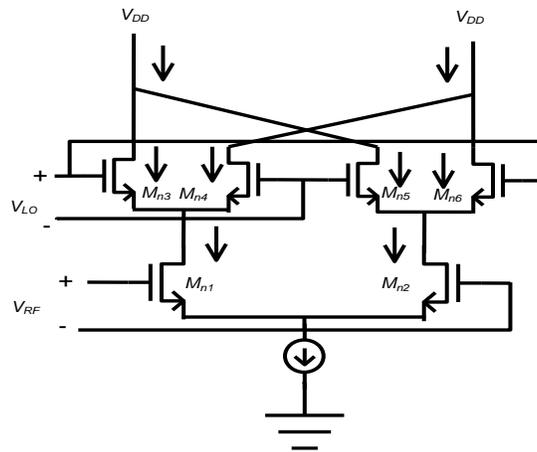


Figura 1. Mezclador de Gilbert

Por otro lado, debido a que los mezcladores son los elementos que unen la etapa de RF con la etapa de banda base, se vuelven bloques críticos tanto en la etapa de recepción como la de transmisión en un transceptor. Además, cabe señalar que la presente propuesta de diseño para un mezclador de bajo consumo forma parte de un sistema de comunicaciones completamente integrado que se está diseñando.

Para lograr el diseño de un mezclador de bajo consumo, en la siguiente sección se describirá la metodología de diseño empleada para este objetivo.

METODOLOGÍA

Es importante señalar que la presente propuesta de un mezclador de bajo consumo se implementó utilizando una tecnología CMOS de IBM de 130nm, la cual utiliza un voltaje de alimentación de 1.2V. Por otro lado, los requerimientos de diseño se basan en cumplir el estándar de Zigbee, donde la verificación del correcto funcionamiento para dicho circuito se hizo mediante simulaciones eléctricas utilizando Cadence SpectreRF©.

Además, para la implementación del mezclador con bajo consumo de potencia se optó por utilizar una topología doblemente balanceada, como se muestra en la Figura 1. Sin embargo, es importante señalar que para realizar una primera aproximación del mezclador se utilizó el circuito mostrado en la Figura 2, donde cada resistor representa un transistor respectivamente.

Para el circuito mostrado en la Figura 2, los voltajes V_A , V_B y V_C , así como la corriente I_{DC} son variables de diseño, es decir, sus valores son establecidos por el diseñador para cumplir con los requerimientos de operación del circuito a diseñar. Por otro lado, se debe considerar que se tienen dos ramas iguales en dicho circuito, donde se cumple que $R_{A1} = R_{A2}$, $R_{B1} = R_{B3}$, $R_{B2} = R_{B4}$ y $R_{C1} = R_{C2}$; lo que implica que las

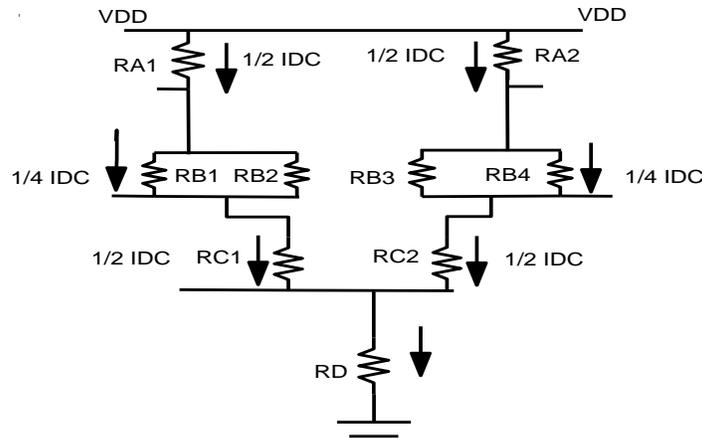


Figura 2. Modelo Resistivo

corrientes en cada rama sean iguales respectivamente. Por lo tanto, para reducir el consumo de potencia del mezclador se deben elegir voltajes los V_A , V_B y V_C de manera que se puedan polarizar adecuadamente los transistores para que operen en la región de saturación, lo cual permite transformar el circuito resistivo de la Figura 2 en el circuito mostrado en la Figura 1 (Regalado, 2006).

Analizando el circuito mostrado en la Figura 2, se puede demostrar que

$$R_{C1} = 2R_D \left(\frac{V_B}{V_C} - 1 \right)$$

$$R_{B1} = 4 \frac{R_D}{V_C} (V_A - V_B) \tag{1}$$

$$R_{A1} = 2 \frac{R_D}{V_C} (V_{DD} - V_A)$$

Sin embargo, para que los transistores puedan trabajar en la región de saturación se debe cumplir que (Mollaalipour, 2012)

$$V_{DS} > (V_{GS} - V_{TH}) \tag{2}$$

donde V_{DS} , V_{GS} y V_{TH} son los voltajes drenaje-fuente, compuerta-fuente y de encendido para cada transistor respectivamente. Una vez que se cumple la condición (2) se procede a calcular los valores resistivos por medio de (1).

Por otro lado, tomando en cuenta que el voltaje de alimentación es $V_{DD} = 1.2V$, y que se propone tener $V_{DD}/2$ en los nodos de salida como se muestra en la Figura 1, para así lograr la máxima excursión

simétrica de la señal de RF (Lee, 1998), se pueden utilizar las siguientes expresiones para calcular la transconductancia de los transistores respectivamente (Lee, 1998)

$$g_{mp} = 2\sqrt{K_p \frac{W}{L}} I_{DC} \quad (3)$$

$$g_{mn} = 2\sqrt{K_n \frac{W}{L}} I_{DC}$$

donde

$$K_n \approx 348.6 \text{ uA/V}^2 \quad (4)$$

$$K_p \approx -49.6 \text{ uA/V}^2$$

siendo W y L el ancho y largo del transistor respectivamente. Por lo tanto, se puede demostrar que las transconductancias para los transistores del mezclador mostrado en la Figura 1 están dadas por

$$\begin{aligned} g_{mn1} &= 2\sqrt{K_n \frac{W_{n1}}{L}} I_{DC} \approx 31.04 \text{ mS} \\ g_{mn2} = g_{mn3} &= 2\sqrt{K_n \frac{W_{n2}}{L}} \frac{I_{DC}}{2} \approx 22.81 \text{ mS} \\ g_{mn4} = g_{mn5} = g_{mn6} = g_{mn7} &= 2\sqrt{K_n \frac{W_{n4}}{L}} \frac{I_{DC}}{4} \approx 20 \text{ mS} \\ g_{mp8} = g_{mp9} &= 2\sqrt{K_p \frac{W_{p8}}{L}} \frac{I_{DC}}{2} \approx 11.67 \text{ mS} \\ g_{mn1} &= 2\sqrt{K_n \frac{W_{n1}}{L}} I_{DC} \approx 12.14 \text{ mS} \\ g_{mn2} = g_{mn3} &= 2\sqrt{K_n \frac{W_{n2}}{L}} \frac{I_{DC}}{2} \approx 8.051 \text{ mS} \\ g_{mn4} = g_{mn5} = g_{mn6} = g_{mn7} &= 2\sqrt{K_n \frac{W_{n4}}{L}} \frac{I_{DC}}{4} \approx 5.24 \text{ mS} \\ g_{mp8} = g_{mp9} &= 2\sqrt{K_p \frac{W_{p8}}{L}} \frac{I_{DC}}{2} \approx 6.13 \text{ mS} \end{aligned} \quad (5)$$

En base a las transconductancias obtenidas en (5) se pueden encontrar la geometría para cada transistor, lo que permite obtener el dimensionamiento del mezclador, el cual se muestra en la Tabla 1.

Una vez obtenido el dimensionamiento del mezclador es posible realizar la verificación del mismo mediante simulaciones eléctricas, la cuales se describirán en la siguiente sección.

Simulaciones

Para realizar la simulación eléctrica del mezclador para bajo consumo propuesto se utilizó Cadence SpectreRF©, donde se diseñó un circuito para la simulación del mismo, el cual se muestra en la Figura 3. Por otro lado, en la Figura 4 se muestra la simulación transitoria del mezclador, donde se utiliza una señal de RF a 2.47 GHZ y una señal para el oscilador local de 2.48 GHZ, la cual ilustra el correcto funcionamiento del mezclador.

Tabla 1. Dimensionamientos del mezclador

Dispositivo	W (Diseño 1)	W (Diseño 2)
M_{n1}	100µm	40µm
M_{n2}, M_{n3}	70µm	37µm
$M_{n4}, M_{n5}, M_{n6}, M_{n7}$	50 µm	40µm
M_{p8}, M_{p9}	100 µm	70µm

Sin embargo, además de la respuesta transitoria es importante analizar el ruido generado por el mezclador, lo cual se logra cuantificar mediante una simulación de NF que se muestra en la Figura 5. Además, es importante señalar que se implementaron dos diseños para el mezclador, donde se obtiene $NF_1=21.2$ y $NF_2=24.7$ para el peor caso del diseño 1 y 2 respectivamente, siendo el diseño 1 el que menos ruido presenta.

Por otro lado, se obtiene un mayor IIP₃ para el diseño 1 -IIP₃=4.7dBm- como se muestra en la Figura 6, lo cual implica que dicho mezclador ofrece mayor linealidad (Rodríguez, 2008, Min, 2008, Lai, 2008), sin embargo, esta característica implica un mayor consumo de potencia, $P_{DC}=3.1mW$.

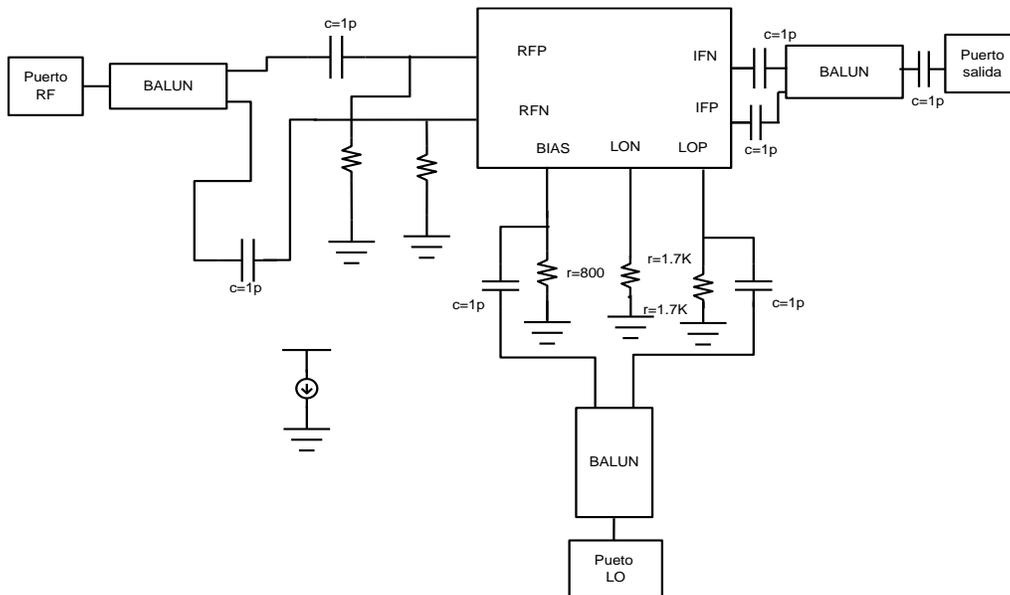


Figura 3. Circuito de simulación

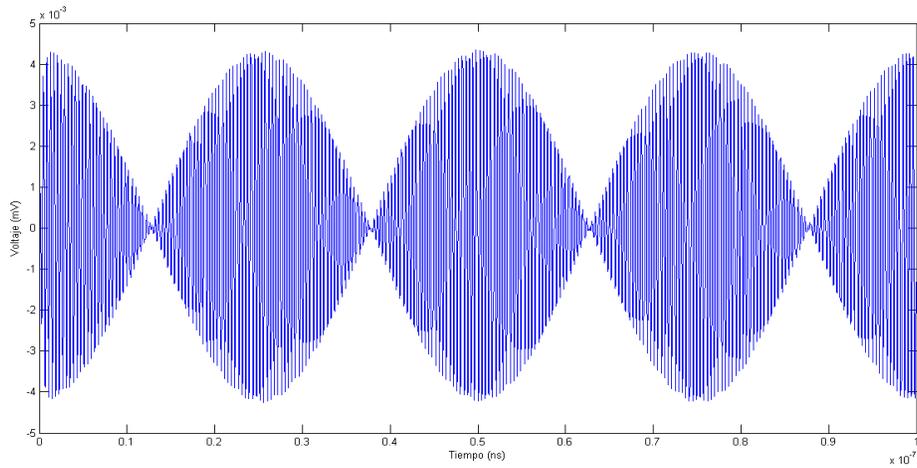


Figura 4. Respuesta transitoria del mezclador cuando se tienen dos señales de 2.47 GHz y 2.48 GHz respectivamente.

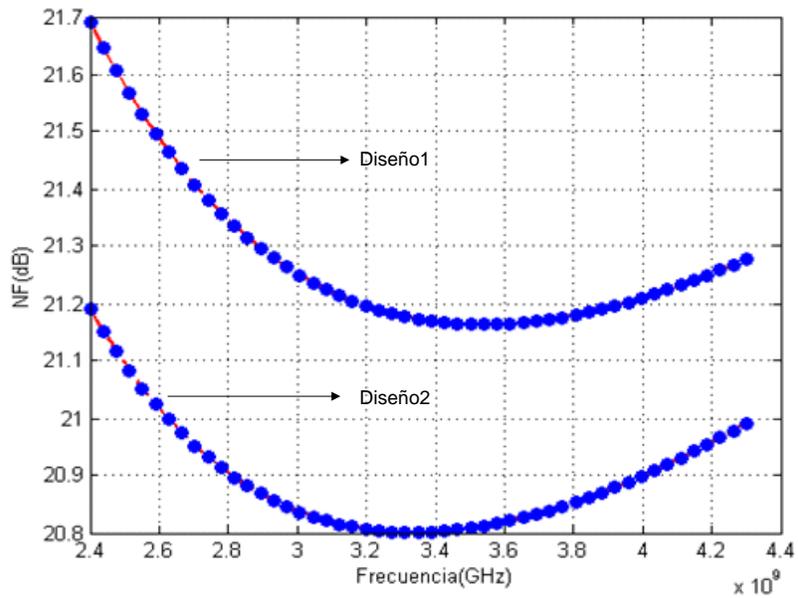


Figura 5. NF Diseño 1 y Diseño 2.

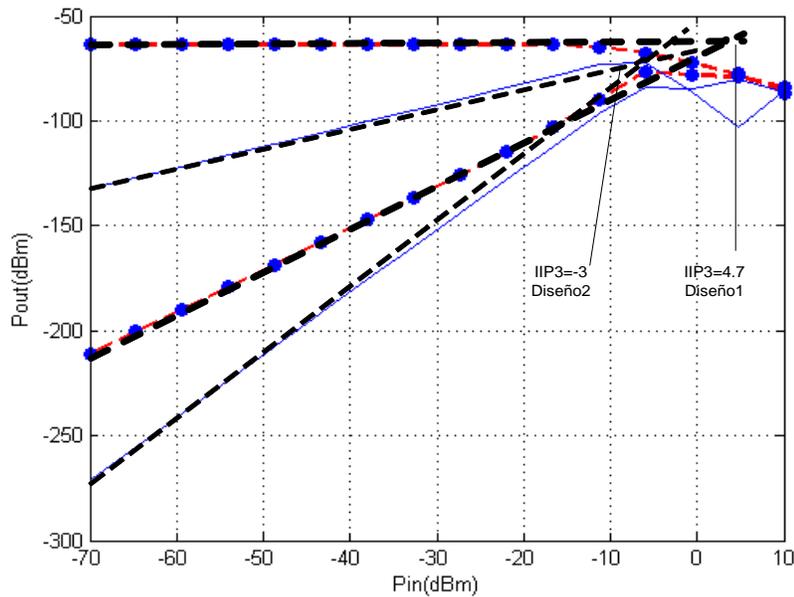


Figura 6. NF de Diseño1 y Diseño2

Finalmente, en la Tabla 2 se encuentra el estado del arte en mezcladores, el cual será discutido en la siguiente sección.

DISCUSIÓN DE RESULTADOS

La comparación de diferentes trabajos de mezcladores no es una tarea sencilla, sin embargo, para lograr dicho objetivo se puede hacer uso de una Figura de Mérito (FOM, del inglés *Figure Of Merit*), la cual está dada por (Lee, 2007)

$$FOM = \frac{10 \log(10^{A_V - 2NF + IIP_3 - 10 - PLO}) / 20 \frac{F_0}{1GHz}}{\frac{P_{DC}}{1mW}}$$

donde F_0 es la frecuencia de trabajo, A_V es la ganancia de voltaje y P_{LO} es la potencia del oscilador local.

En base a los trabajos mostrados en la Tabla 2, se puede observar que aunque (Lee, 2007) ofrece un consumo de potencia menor a los diseños realizados, estos últimos tienen mejor linealidad debido a que su IIP_3 es mayor respectivamente.

Por otro lado, mientras que el diseño 2 tiene un consumo de potencia de 2mW menor al diseño 1, este último tiene 3.8dB menos de ruido y mayor linealidad con 7.7dBm de diferencia.

Además, el promedio de consumo de potencia para los trabajos mostrados en la Tabla 2 es de 4.3mW, donde los diseños realizados se encuentran por debajo de dicho promedio junto con (Ho 2010, Lee 2007, Salmeh 2012). Siendo el diseño 2 el que ofrece menor consumo, solo por arriba de (Lee 2007) con una diferencia de 0.6mW.

CONCLUSIONES

En este artículo se diseñó un mezclador para aplicaciones de bajo consumo de potencia, específicamente el estándar de Zigbee, el cual se implementó con una tecnología CMOS 130nm de IBM. Además, se realizaron dos diseños con una topología basada en la celda de Gilbert, donde se logró un consumo de potencia de 1.1mW para el diseño 2. Mientras que el diseño 1 ofrece mayor linealidad con un IIP3=4.7dBm, a cambio de un incremento de 2mW en el consumo de potencia.

Por otro lado, dichos diseños se encuentran por debajo del promedio de potencia de 4.3mW del estado del arte, lo que permite reducir el consumo de potencia para un mezclador. Sin embargo, cuando se reduce el consumo de potencia se afectan otras características del mezclador, como es el nivel de ruido, el cual aumenta al reducir la potencia como se muestra en la Tabla 2.

Finalmente, es importante señalar que se puede reducir el consumo de potencia a cambio de reducir la linealidad, ya que mientras en el diseño 2 se tiene un consumo de 2mW menor al diseño 1, también se tiene un decremento en la linealidad de 7.7dBm.

Tabla 2. Estado del arte.

Referencia	Av(dB)	IIP3(dBm)	NF(dB)	P_{dc} (mW)	Frec(GHz)	FOM	Tecnología CMOS
(Ho,2010)	17.5	-2.8	3.9	1.6	2.5	44	130nm
(Lee,2007)	15.7	-9.0	18.0	0.5	2.4	51.3	130nm
(Salmeh,2012)	22.0	-7.7	8.5	4.0	2.5	44.5	90nm
(Lai,2010)	26.0	1.0	12.9	8.1	2.4	46.2	0.18um
(Jouri,2010)	11.0	0.0	11.0	8.5	2.4	45.3	0.18um
(Nouri,2010)	1.7	4.7	13.0	13.8	2.4	43	130nm
(Bae,2007)	14.3	-3.0	14.0	5.6	3.1	43	130nm
Diseño1	5.0	4.7	21.0	3.1	2.4	47	130nm
Diseño2	3.0	-3.0	24.8	1.1	2.4	43	130nm

BIBLIOGRAFIA

Chakib, B., Serge, T. Tchanguiz, R., 2006, Wide bandwidth and low power CMOS mixer with high linearity for multiband receivers using direct conversion implementation, The European Conference on Wireless Technology, 269-272. DOI: <http://dx.doi.org/10.1109/ECWT.2005.1617709>

Rua, N., Anexo 1 Protocolo Zigbee (IEEE 802.15.4), 2014, <http://rua.ua.es/dspace/bitstream/10045/1109/1/InformeTecZB.pdf>

Ho, K., Saavedra, C. E., 2010, A CMOS Broadband Low-Noise Mixer with Noise Cancellation, IEEE transactions on microwave theory and techniques, vol. 58, .DOI: <http://dx.doi.org/10.1109/TMTT.2010.2045568>

Mollalipour M., Miar Naimi H., 2012, Volterra series analysis of down-conversion CMOS mixer with high IIP2 and IIP3, International Conference on Synthesis, Modeling, Analysis and Simulation Methods and Applications to Circuit Design, 201- 204. DOI: <http://dx.doi.org/10.1109/SMACD.2012.6339452>

Cheng, Z., Zhou, P., Li, J., Zhang S., 2010, An Improved Current Bleeding Mixer Based on CMOS Technology, International Conference on Communications and Mobile Computing (CMC), vol.3, 128-131. DOI: <http://dx.doi.org/10.1109/CMC.2010.207>

Lai D., Chen, Y., Wang, X., Chen X., 2010 A CMOS Single-Differential LNA and Current bleeding CMOS Mixer for GPS Receivers, IEEE International Conference on Communication Technology (ICCT), 677- 680. DOI: <http://dx.doi.org/10.1109/ICCT.2010.5688505>

Salmeh, R., 2012, A novel high gain and low noise figure CMOS mixer with fully integrated esd protection, Symposium on Circuits and Systems (MWSCAS), IEEE 55th International Midwest Symposium on Circuits and Systems (MWSCAS), 41-44. DOI: <http://dx.doi.org/10.1109/MWSCAS.2012.6291952>

Jouri, M., Golmakani, A., Yahyabadi M., Khosrowjerdi H., 2010, Design and simulation of a down-conversion CMOS mixer for UWB applications, International Conference on Electrical Engineering/Electronics Computer Telecommunications and Information Technology (ECTI-CON), 937-940. DOI:

Shao, Z., The Design of CMOS Mixer Based on Gilbert Cell, 2012, IEEE Symposium on Electronics Engineering, 392-395. DOI: <http://dx.doi.org/10.1109/EEESym.2012.6258673>

Regalado, G., Sandoval, I., 2006, Design Double Balanced Mixer Using a 05 μm CMOS Technology, *International Conference on Electrical and Electronics Engineering*, 1-4. DOI: : <http://dx.doi.org/10.1109/ICEEE.2006.251890>

LEE, T. H. (1998) The design of CMOS radio-frequency integrated circuits. Cambridge University: Press.

Lee, H., Mohammadi, S., 2007, A 500 μW 2.4GHz CMOS Subthreshold Mixer for Ultra Low Power Applications, IEEE Symposium Radio Frequency Integrated Circuits (RFIC), 325-328. DOI: <http://dx.doi.org/10.1109/RFIC.2007.380893>

Nouri, N., Reza, M., Ahamdi, N., Mirabbasi, S., Safani-Naeni S., 2010, A double-balanced CMOS mixer with on-chip balun for 60-GHz receivers, IEEE International NEWCAS Conference (NEWCAS), 321- 324. DOI: <http://dx.doi.org/10.1109/NEWCAS.2010.5604029>